

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001238189 A

(43) Date of publication of application: 31.08.01

(51) Int. Cl.

H04N 7/14

H04M 1/73

H04N 1/00

H04N 1/21

H04N 1/387

H04N 5/225

(21) Application number: 2000049689

(71) Applicant: CANON INC

(22) Date of filing: 25.02.00

(72) Inventor: SHIRAGAMI SHINJI

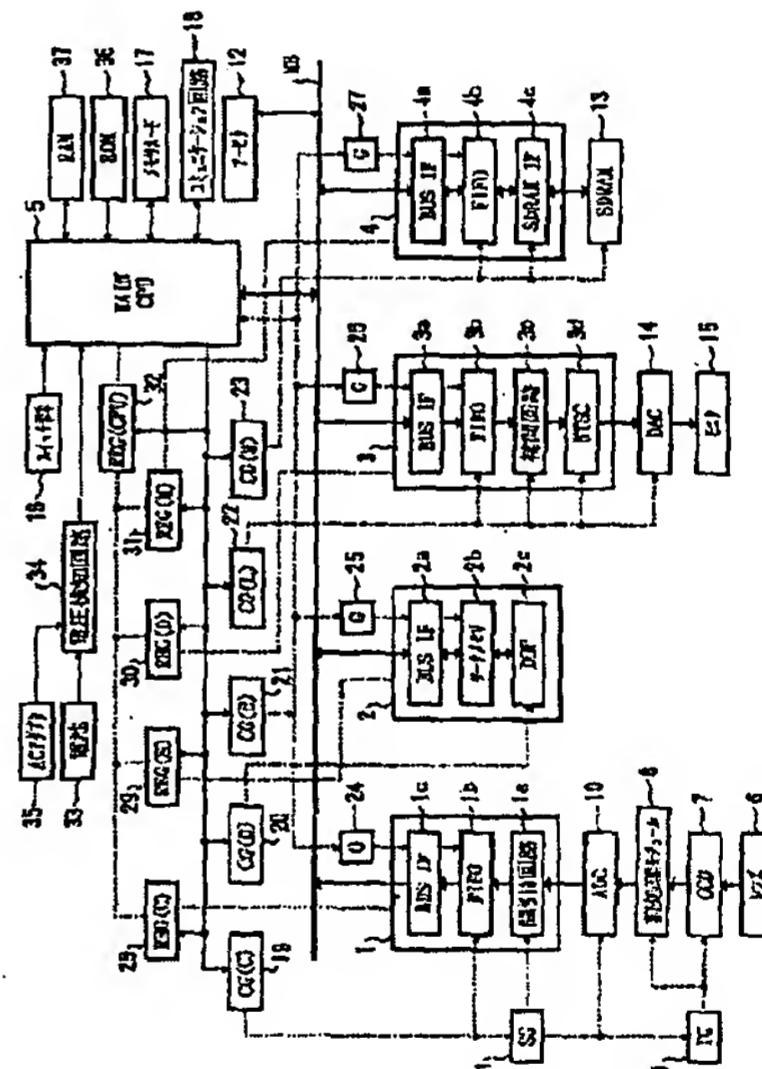
(54) IMAGE PROCESSING APPARATUS, AND  
OPERATION CONTROL METHOD FOR THE SAME

(57) Abstract:

**PROBLEM TO BE SOLVED:** To realize power-saving most suitable for the utilizing form of a user while reducing the operation load of the user.

**SOLUTION:** A voltage detection circuit 34 detects a state of a power supply of the image processing unit, variable voltage sources 28-31 generate a variable voltage on the basis of a detected power supply state and apply the voltage to processing blocks 1-4, and the operation of the processing unit is controlled by revising at least any of any processing mode of the processing blocks, a frequency of a clock signal supplied from clock sources 19-23 or a voltage received from the voltage sources 28-31 depending on the detected power supply state to conduct power saving operation control.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-238189  
(P2001-238189A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.<sup>7</sup> 識別記号  
H 04 N 7/14  
H 04 M 1/73  
H 04 N 1/00  
1/21  
1/387 101

F I テーマート(参考)  
H 04 N 7/14 5 C 022  
H 04 M 1/73 5 C 062  
H 04 N 1/00 C 5 C 064  
1/21 5 C 073  
1/387 101 5 C 076

審査請求 未請求 請求項の数17 O.L. (全 15 頁) 最終頁に続く

(21) 出願番号 特願2000-49689(P2000-49689)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22) 出願日 平成12年2月25日 (2000.2.25)

(72) 発明者 白神 優二

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100076428

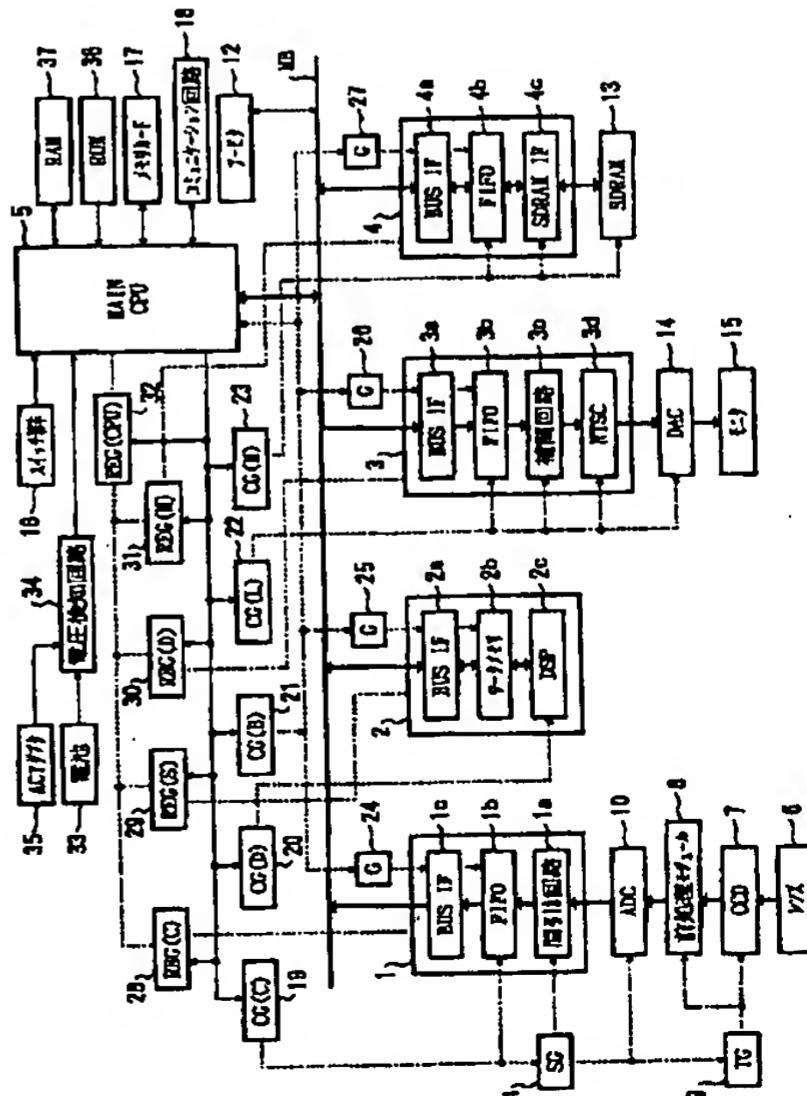
弁理士 大塚 康徳 (外2名)

(54) 【発明の名称】 画像処理装置及び該装置における動作制御方法

(57) 【要約】

【課題】 ユーザの操作負担をなくしながら、ユーザの利用形態に最も適した省電力動作を実現する。

【解決手段】 電圧検知回路34により装置の電源の状態を検知し、その検知した電源の状態に基づいて可変電圧源28～31により可変電圧を発生して複数の処理ブロック1～4のそれぞれに供給するとともに、その検知された電源の状態に応じて複数の処理ブロックの少なくともいずれかの処理モード、クロック源19～23から供給されるクロック信号の周波数、或は電圧源28～31から供給される電圧値の少なくともいずれかを変更して装置の動作を制御することにより、省電力動作制御を行うことができる。



## 【特許請求の範囲】

【請求項1】 電源の状態を検知する検知手段と、それぞれ異なる周波数の複数のクロック信号を発生するクロック発生手段と、前記クロック発生手段から発生されるクロック信号を入力して動作する複数の処理手段と、前記電源の状態に基づいて可変電圧を発生し、前記複数の処理手段のそれぞれに供給する電圧供給手段と、前記検知手段により検知される前記電源の状態に応じて、前記複数の処理手段のいずれかの処理モード、前記クロック発生手段により発生される前記クロック信号の周波数、或は前記電圧供給手段により発生される電圧値の少なくともいずれかを変更するように制御する制御手段と、を有することを特徴とする画像処理装置。

【請求項2】 前記電源は、電池及び／或はACアダプタを有し、前記電源の状態は前記ACアダプタを使用しているか否か、或は前記電池を使用している場合には、当該電池の電池容量の残量の状態に相当することを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記複数の処理手段の1つは、撮影画像を電気的な信号に変換した画像データとして入力する撮影手段と、前記撮影手段により入力された画像データに対して予め設定された間引き方式に応じて画像データの間引き処理を行う間引き手段を有し、前記処理モードは、前記間引き手段における間引き解像度及び／或はフレームレートを含むことを特徴とする請求項1に記載の画像処理装置。

【請求項4】 前記複数の処理手段の1つは、画像データを補間する補間手段と、前記補間手段によって補間された画像データを表示する表示手段とを有し、前記処理モードは前記補間手段における補間解像度を含むことを特徴とする請求項1に記載の画像処理装置。

【請求項5】 前記処理モードは、画像データの間引き率、フレームレート、補間レートを含む特徴とする請求項1に記載の画像処理装置。

【請求項6】 電源の状態を検知する検知工程と、それぞれ異なる周波数の複数のクロック信号を発生するクロック発生工程と、前記電源の状態に基づいて可変電圧を発生し、前記クロック発生工程で発生されるクロック信号を入力して動作する複数の処理ブロックのそれぞれに供給する電圧供給工程と、前記検知工程で検知される前記電源の状態に応じて、前記複数の処理ブロックのいずれかの処理モード、前記クロック発生工程で発生される前記クロック信号の周波数、或は前記電圧供給工程により発生される電圧値の少なくともいずれかを変更するように制御する制御工程と、を有することを特徴とする画像処理装置の動作制御

## 方法。

【請求項7】 前記電源は、電池及び／或はACアダプタを有し、前記電源の状態は前記ACアダプタを使用しているか否か、或は前記電池を使用している場合には、当該電池の電池容量の残量の状態に相当することを特徴とする請求項6に記載の動作制御方法。

【請求項8】 前記処理モードは、画像データの間引き率、フレームレート、補間レートを含む特徴とする請求項6に記載の動作制御方法。

【請求項9】 画像データを入力する画像入力手段と、前記画像入力手段により入力された画像データに対して間引き率に応じて画像データの間引き処理を行う間引き処理手段と、

前記間引き処理手段によって間引かれた画像データを記憶するメモリ手段と、

前記メモリ手段に記憶された画像データを読み出して補間率に応じて補間する補間手段と、

電源の状態を検知する電源検知手段と、

前記電源検知手段により検知された前記電源の状態に応じて前記間引き率及び補間率を設定する設定手段と、を有することを特徴とする画像処理装置。

【請求項10】 前記電源は、電池及び／或はACアダプタを有し、前記電源の状態は前記ACアダプタを使用しているか否か、或は前記電池を使用している場合には、当該電池の電池容量の残量の状態に相当することを特徴とする請求項9に記載の画像処理装置。

【請求項11】 前記画像入力手段はカメラを有し、前記設定手段は、更に、前記カメラにより画像を取り込むフレームレートを設定し、前記画像入力手段は前記カメラからの画像信号を前記設定されたフレームレートで取り込むことを特徴とする請求項9に記載の画像処理装置。

【請求項12】 前記設定手段は、画像データに含まれる輝度信号と色差信号のそれぞれに対して独立に前記間引き率と補間率を設定することを特徴とする請求項9乃至11のいずれか1項に記載の画像処理装置。

【請求項13】 画像処理装置の動作制御方法であつて、

画像データを入力する画像入力工程と、

前記画像入力工程で入力された画像データに対して間引き率に応じて画像データの間引き処理を行う間引き処理工程と、

画像データを補間率に応じて補間する補間手段と、

電源の状態を検知する電源検知工程と、

前記電源検知工程で検知された前記電源の状態に応じて前記間引き率及び補間率を設定する設定工程と、を有することを特徴とする動作制御方法。

【請求項14】 前記電源は、電池及び／或はACアダプタを有し、前記電源の状態は前記ACアダプタを使用しているか否か、或は前記電池を使用している場合に

は、当該電池の電池容量の残量の状態に相当することを特徴とする請求項13に記載の動作制御方法。

【請求項15】 前記画像入力工程ではカメラよりの画像信号を入力し、前記設定工程では、更に、前記カメラにより画像を取り込むフレームレートを設定し、前記画像入力工程では前記カメラからの画像信号を前記設定されたフレームレートで取り込むことを特徴とする請求項13に記載の動作制御方法。

【請求項16】 前記設定工程では、画像データに含まれる輝度信号と色差信号のそれぞれに対して独立に前記間引き率と補間率を設定することを特徴とする請求項13乃至115のいずれか1項に記載の動作制御方法。

【請求項17】 請求項6乃至8、及び請求項13乃至16のいずれか1項に記載の動作制御方法を実行するプログラムを記憶した、コンピュータにより読み取り可能な記憶媒体。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、例えばディジタル・スチルカメラや携帯テレビ電話端末装置、或はカメラ内蔵型ノートPC等に適用できる画像処理装置及び前記装置における動作制御方法に関するものである。

##### 【0002】

【従来の技術】 近年、CCD等の固体撮像装置の小型化、省電力化およびLSIの高集積化、高機能化、低消費電力化などの技術の進展に伴い、ディジタルスチルカメラに代表されるような電池で駆動可能な携帯型の撮影装置が一般に利用されるようになった。さらには、携帯電話機能を内蔵した携帯型テレビ電話端末等も開発されている。このような電池駆動型撮影装置では、電池による動作時間を延長するためのさまざまな工夫が考案されてきた。例えば、電池残量を常に表示し、残量が少なくなってきた場合はユーザーに電源をこまめに切ることを促す。あるいは、ユーザーの選んだ動作モードに応じて非動作部分の電力供給またはクロック供給を遮断したりする。

【0003】 また、従来技術では、撮影される画像のフレームレートや解像度は固定的であるか、せいぜいユーザーが選択的に設定可能なものであり、省電力機能との連動はなされていなかった。

【0004】 一般に、撮影装置では撮影される画像のフレームレートと解像度が大きくなるほど単位時間当たりに処理すべき画像データ量は増大するため、画像を扱う電子回路は高い動作クロック周波数を必要とする。また、通常電子回路を高い周波数で動作させるほど電源電圧を下げることができない。消費電力はクロック周波数に比例し電源電圧の2乗に比例するため、画像のフレームレートと解像度の増大は消費電力の増大をもたらす。したがって、消費電力を低減するためには極力フレームレートと解像度を小さくするほうがよい。一方、フレー

10

ムレートと解像度を下げると画像品質が低下する。ユーザーとしては利用形態に応じて画像品質と電池駆動時間のトレードオフを考える必要がある。ところが、ユーザーの望む利用形態は千差万別である。例えばユーザーの用途によっては、電池残量が少なくなってきた際に、電池が完全に消耗してしまう位ならば少々フレームレートまたは解像度を下げても電池寿命を確保したいユーザーもいれば、電池残量に関わらず常に最高画質で利用したいユーザーもいる。より具体的な例を挙げれば、携帯型テレビ電話端末を非常に重要な用件で使用している際に電池残量が後わずかになったときなど、場合によっては静止画を利用してでも用件を伝えたいユーザーもいるであろうし、通常はAC電源で利用するため、常に最高画質に設定しておきたいユーザーもいると考えられる。

##### 【0005】

20

【発明が解決しようとする課題】 しかしながら、従来の携帯型テレビ電話端末のフレームレートはもっぱら回線のデータ転送能力に基づいて決定されており、電池残量が減ってきたからといってフレームレートや解像度を変更することができないため、重要な用件で使用中であるにも関わらず、電池残量不足により突如として、その携帯端末が使用不能になるという問題点があった。また仮に、フレームレートや解像度を変更することが可能であったとしても、ユーザーは電池残量を常に気にしながら、そのフレームレートを変更するタイミングを見計らう必要があり、また操作が面倒であるという問題点があった。さらに、フレームレートや解像度を変更した場合においても、動作周波数や電源電圧は固定されていたため、省電力効果はさほど期待できないという問題点があった。

30

【0006】 本発明は上記従来例に鑑みてなされたもので、ユーザーの操作負担をなくしながら、ユーザーの利用形態にもっとも適した省電力動作を実現できる画像処理装置及び前記装置における動作制御方法を提供することを目的とする。

40

【0007】 また本発明の目的は、装置に電力を供給している電源の状態に応じて、装置における画像データを処理するフレームレートや解像度を制御して、装置の動作を制御することができる画像処理装置及び前記装置における動作制御方法を提供することにある。

##### 【0008】

【課題を解決するための手段】 上記目的を達成するため本発明の画像処理装置は以下のよう構成を備える。即ち、電源の状態を検知する検知手段と、それぞれ異なる周波数の複数のクロック信号を発生するクロック発生手段と、前記クロック発生手段から発生されるクロック信号を入力して動作する複数の処理手段と、前記電源の状態に基づいて可変電圧を発生し、前記複数の処理手段のそれぞれに供給する電圧供給手段と、前記検知手段により検知される前記電源の状態に応じて、前記複数の処

50

理手段のいずれかの処理モード、前記クロック発生手段により発生される前記クロック信号の周波数、或は前記電圧供給手段により発生される電圧値の少なくともいずれかを変更するように制御する制御手段と、を有することを特徴とする。

【0009】上記目的を達成するために本発明の画像処理装置は以下のような構成を備える。即ち、画像データを入力する画像入力手段と、前記画像入力手段により入力された画像データに対して間引き率に応じて画像データの間引き処理を行う間引き処理手段と、前記間引き処理手段によって間引かれた画像データを記憶するメモリ手段と、前記メモリ手段に記憶された画像データを読み出して補間率に応じて補間する補間手段と、電源の状態を検知する電源検知手段と、前記電源検知手段により検知された前記電源の状態に応じて前記間引き率及び補間率を設定する設定手段とを有することを特徴とする。

【0010】上記目的を達成するために本発明の画像処理装置における動作制御方法は以下のような工程を備える。即ち、電源の状態を検知する検知工程と、それぞれ異なる周波数の複数のクロック信号を発生するクロック発生工程と、前記電源の状態に基づいて可変電圧を発生し、前記クロック発生工程で発生されるクロック信号を入力して動作する複数の処理ブロックのそれぞれに供給する電圧供給工程と、前記検知工程で検知される前記電源の状態に応じて、前記複数の処理ブロックのいずれかの処理モード、前記クロック発生工程で発生される前記クロック信号の周波数、或は前記電圧供給工程により発生される電圧値の少なくともいずれかを変更するように制御する制御工程と、を有することを特徴とする。

【0011】上記目的を達成するために本発明の画像処理装置における動作制御方法は以下のような工程を備える。即ち、画像処理装置の動作制御方法であって、画像データを入力する画像入力工程と、前記画像入力工程で入力された画像データに対して間引き率に応じて画像データの間引き処理を行う間引き処理工程と、画像データを補間率に応じて補間する補間手段と、電源の状態を検知する電源検知工程と、前記電源検知工程で検知された前記電源の状態に応じて前記間引き率及び補間率を設定する設定工程と、を有することを特徴とする。

【0012】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0013】【実施の形態1】図1は、本発明の実施の形態1に係る携帯型のテレビ電話端末装置の構成を示すブロック図である。図1において、各機能ブロック間を接続する線のうち、データ系の接続を太い実線で図示し、制御系の接続を細い実線で図示し、クロック系の接続を点線で図示している。但し、全ての接続が図示されているわけではなく、説明に必要な代表的な配線接続のみを図示した。

【0014】このテレビ電話端末装置の主要なブロック構成として、撮像した画像信号の取り込みに関する処理を実行する画像取り込みコントローラ1、その画像信号から生成した画像データに対して画像処理を実行する信号処理プロセッサ2、画像データに基づく画像表示に関する処理を行う表示コントローラ3、画像データをメモリに記憶させるためのメモリ制御を行うメモリコントローラ4、装置全体の制御を行うCPU5を有している。

【0015】まず、代表的な動作モードとして、EVF(電子ビューファインダ)モード、撮影モード、再生モード及びテレビ電話モードのそれぞれについて動作を説明を行う。

【0016】【画像取り込みコントローラ1の説明】撮像対象の画像がレンズモジュール6を介してCCD7上に結像されることにより、その画像に応じた画像信号がCCD7から出力される。尚、このレンズモジュール6は、レンズ、オート・アイリスのための駆動系、オートフォーカスのための駆動系等を備えており、これら駆動系の制御は図示しない制御信号によってCPU5によって行われる。CCD7から出力される画像信号は前処理モジュール(CDS・AGC)8に入力される。本実施の形態1においては、CCD7の取り込む有効画素数は640×480画素(VGA相当)である。前処理モジュール8は、CDS(相関二重サンプリング)及びAGC(自動利得制御)機能を備えている。また、CCD7及び前処理モジュール8に対するクロック及びタイミング信号は、タイミング生成回路(TG)9より供給される。前処理モジュール8で前処理が施された画像データは、A/D変換器(ADC)10により10ビットのデジタルデータに変換され、タイミング生成回路(SG)11により生成されるピクセルクロック(Pixel Clock)に同期して画像取り込みコントローラ1に入力される。

【0017】画像取り込みコントローラ1に入力された画像データは間引き回路1aによって間引き処理され、間引かれた結果であるデータがFIFO1bに書き込まれる。この間引き回路1aにおける間引き方式は、図示しない制御信号によってCPU5によって予め設定されている。

【0018】図2(A)は、間引き回路1aの動作の一例を示すタイミングチャートである。間引き回路1aは、SG11から入力されるピクセルクロック(Pixel Clock)を計数するピクセルカウンタ(Pixel Count)、図示しない水平・垂直同期信号に基づいて、画像のライン数を計数するラインカウンタ(Line Num)を備えており、CPU5によって予め設定された間引き方式と、これらのカウンタの計数値に基づいて、ADC10から入力されるデジタル画像データをラッチし、FIFO1bに書き込むためのクロック(Latch Clock)を生成する。

【0019】図2(A)の例では、水平640ピクセル、垂直480ラインのデータに対し水平・垂直とも1

／2の間引きを行う場合（320×240画素：CIF相当）が例示されている。従って、有効ラインは奇数ラインであり、この期間を示すための信号がActive Line信号である。また、有効ピクセルは奇数ピクセルであり、これを示す信号がActive Pixel信号である。

【0020】これら信号を基に、図2（B）に示すようにPixel Clock、Active Line信号及びActive Pixel信号の論理積が取られ、これがFIFO1bに書き込むためのLatch Clock信号となる。なお、図2（A）において、FIFO1bに書き込まれるデータがData to FIFO

10

である。

【0021】尚、この間引き回路1aは、フレーム間引き機能も備える構成にすることが可能である。この場合は、更にフレームカウンタを設け、例えば4フレームごとに1フレームを取り込む場合にはフレームカウンタが「4の倍数+1」のときにActive Frame信号を生成し、図2（B）に示すAND回路の入力に加えるようにすればよい。

【0022】バスインターフェース回路（BUS IF）1cは、FIFO1bが空でない状態（何等のデータが書き込まれている）を検知すると、メインバス（MB）上にデータ書き込みのバストランザクションを発生し、メモリコントローラ4にFIFO1bから読み出したデータを転送する。バスインターフェース回路1cは、通常、画像取り込みクロック（Latch Clock）とは非同期のバスクロックで動作している。従って、FIFO1bの読み出しクロックは、FIFO1bの書き込みクロック（Latch Clock）とは非同期であり、FIFO1bはこの非同期のデータ転送を緩衝するために備えられている。

【0023】尚、このメインバスMBには、他にもバストランザクションを発生するバスマスターが複数接続されている（信号処理プロセッサ2、表示コントローラ3、CPU5など）ので、同時に複数のバストランザクションが発生する可能性がある。そのためバスアービタ12は、1度に1つだけのバスマスターがバストランザクションを発生できるようにバスを調停する。

【0024】【メモリコントローラ4の説明】メモリコントローラ4は、バスインターフェース回路（BUS IF）4aにおいてバストランザクションを受信し、格納すべき画像データ及びその画像データを格納すべきメモアドレスを一時FIFO4bに書き込む。SDRAMインターフェース回路（SDRAM IF）4cは、画像メモリであるSDRAM13への各種制御信号を出力するとともに、FIFO4bに格納されたメモアドレス及び画像データをSDRAM13に出力する。ここでメモリクロックはバスクロックとは非同期でありうるため、FIFO4bにより緩衝している。SDRAMインターフェース回路4cもまたメモリクロックに同期して動作しており、FIFO4bの読み出しポートからメモリクロックに同期して読み出されたメモアドレスとデータをSD

50

RAM13に書き込むための制御を行う。

【0025】【信号処理プロセッサ2の説明】信号処理プロセッサ2は、画像データの読み出しのためのバストランザクションを発生し、バスロックで動作するバスインターフェース回路（BUS IF）2aによって、画像取り込みコントローラによって取り込まれた画像データを画像メモリから読み出す。こうして読み出された画像データはバスロックに同期してワークメモリ2bに書き込まれる。DSP（デジタル信号プロセッサ）2cは、バスロックとは異なるクロック（DSPクロック）で動作しており、このDSPクロックに同期してワークメモリ2bのデータにアクセスして、カラーマトリクス処理によりYC分離を行い、続いて色補正、エッジ強調、ホワイトバランス調整、ガンマ補正などの処理を行う。このようにして得られた画像データは、モニタ15への表示に用いられる他、画像圧縮にも用いられる。モニタ15への表示用に用いる場合は、表示コントローラ3が読み出せるように、バスインターフェース回路2aを起動して、書き込みのバストランザクションを発生し、SDRAM13にデータを転送する。

【0026】【EVFモードの説明】EVFモードにおいては、上述した動作をフレーム毎に繰り返すことによって、連続したフレームを画像メモリ13に取り込む。信号処理プロセッサ2が画像データを書込む画像メモリの領域としては、同一領域を上書きする動作でよい。表示コントローラ3は、その画像メモリの領域より画像データを読み出すことにより表示データを得る。その際、表示コントローラ3は、画像データを読み出すためのバストランザクションを発生し、バスロックで動作するバスインターフェース回路（BUS IF）3aによって画像メモリ13から表示すべき画像データを読み出す。表示コントローラ3は更に、この読み出した画像データをバスロックに同期してFIFO3bの書き込みポートに入力する。NTSCのモニタや液晶ディスプレイに代表されるように、一般に表示装置は画面を絶え間なくリフレッシュする必要があるため、有効画面期間中は、あるピクセルクロックで動作し続けなければならない。そのためバスインターフェース回路3aは、FIFO3bがフル状態になるまで画像メモリから画像データを読み出し続ける。

【0027】次に補間回路3cは、表示ピクセルクロックに同期してFIFO3bより画像データを読み出す。補間回路3cはラインメモリを備えており、FIFO3bより読み出された画像データは、まずこのラインメモリに格納される。このラインメモリに格納された画像データは、補間なしの場合は先頭から順に読み出されてNTSCエンコーダ3dに入力され、NTSCフォーマットの映像データに変換される。この場合、補間回路3cは、1ピクセル分の画像データが読み出されると、直ちに1ピクセル分の画像データをFIFO3bから読み出

す。ここでライン補間を行う場合は、(補間するライン数-1)分のラインデータをNTSCエンコーダ3dに送出した後、次のラインは1ピクセル分の画像データをNTSCエンコーダ3dに送出する毎に、 FIFO3bから1ピクセル分の画像データを読み出す。例えば、ここでライン方向に4倍の補間を施すときは、3ライン分をそのラインメモリからの画像データで表示し、4ライン目の表示の際には、そのラインの表示を行いながら FIFO3bから次のラインの画像データを読み込んでくるという動作を行う。

【0028】NTSCエンコーダ3dによってNTSCフォーマットに変換された映像データは、D/A変換器(DAC)14によってアナログ信号に変換された後、NTSCのモニタ15によって表示される。

【0029】上記の動作をフレームごとに連続して行うことにより、EVFモードの動作となる。このEVFモードでは、画像取り込みコントローラ1がフレーム間引きを行っていたとしても、各フレーム分の画像データを読み出す必要がある。この場合、表示される画像はこま落ちになるが、モニタ15は一定のフレームレートで動作し続ける必要があるからである。

【0030】【撮影モードの説明】次に、撮影モードでの動作を説明する。この撮影モードでは、1フレーム分の画像データを取り込んだ後、この画像データをJPEG圧縮してメモリカード17などの外部記憶等に記録する。

【0031】まず、シャッタ・ボタン等含むスイッチ群16のシャッタ・ボタンの押下がCPU5によって検出されると、CPU5は図示しない制御信号により画像取り込みコントローラ1に対し、次の1フレームの画像データを取り込み、それ以降のフレームの画像データを取り込まないように指示する。同様に、信号処理プロセッサ2に対し、次の1フレームの画像データに対して圧縮処理を行うように通知する。

【0032】画像取り込みコントローラ1は、前述のEVFモードの場合とは異なり、1フレームの画像を取り込んで画像メモリ13に画像データを転送し終えると、動作を一時停止する。信号処理プロセッサ2は、このメモリ13に格納された1フレーム分の画像データを読み出して、EVFモードで表示用の画像データを生成した場合と全く同様にしてYC分離、色補正、エッジ強調、ホワイトバランス調整、ガンマ補正等の画像処理を行う。その後、直ちにその画像データに対して、DCT演算処理、量子化処理、可変長符号化処理などを施して得られた符号化データを、画像メモリ13内の表示用画像データ領域とは別の領域に書き込む。

【0033】CPU5は、画像メモリ13に記憶された画像データを読み出し、必要なマーカ等を付加してJPEGデータとした後に、メモリカード17に格納する。こうして1フレーム分の画像データの格納が終了する

と、CPU5は画像取り込みコントローラ1に対して、EVFモードでの画像信号の取り込み再開するように通知する。

【0034】なお、メモリカード17に格納された符号化された画像データは、PC等のホストコンピュータとのインターフェースを実現するコミュニケーション回路18を介して、PC等からアクセスすることが可能である。本実施の形態1においてはコミュニケーション回路18は、例えばシリアルインターフェース、USB、IrDA、携帯電話モジュールなどを含んでいる。

【0035】【再生モードの説明】次に再生モードの動作を説明する。この再生モードでは、画像取り込みコントローラ1の動作は停止している。CPU5はメモリカード17に格納された符号化された圧縮データを読み出してSDRAM13に書き込む。信号処理プロセッサ2は、このSDRAM13に書込まれた符号データを読み出して、復号化、逆量子化、逆DCT変換等の画像伸長処理を行って表示可能な画像データとした後、再びSDRAM13に書き戻す。表示コントローラ3は、この表示可能データをSDRAM13より読み出して表示動作を行う。

【0036】【テレビ電話モードの説明】次に、テレビ電話モードの動作を説明する。前述した撮影モードでは、1フレームの画像データを取り込んだ後、画像取り込みコントローラ1は一時動作を停止した。しかし、このテレビ電話モードでは、画像データの取り込み処理を中断せずに、次々に連続するフレームの画像データを取り込む。このときの取り込みフレームレートは、CPU5によって設定された間引き方式に基づいて決定される。こうして取り込まれた画像データは撮影モードの場合と同様の処理によって信号処理プロセッサ2により画像処理及び画像圧縮・符号化処理が施されて、SDRAM13に書き込まれる。こうしてSDRAM13に書き込まれた符号データは、CPU5により読み出され、所定のマーカ等が挿入された後、コミュニケーション回路18の携帯電話モジュールによって電話回線を通じて通話相手に伝送される。

【0037】一方、電話回線を通じて通話相手より受信した符号データは、コミュニケーション回路18からCPU5を経由してSDRAM13に書き込まれる。信号処理プロセッサ2は、このSDRAM13に書込まれた符号データを読み出して、復号化、逆量子化、逆DCT変換等の画像伸長処理を行って表示可能な画像データとした後、再びSDRAM13に書き戻す。表示コントローラ3は、表示すべき画像データをSDRAM13より読み出してモニタ15に表示するように表示動作を行う。

【0038】以上のようにして、CCD7により撮像した画像を通話相手に電送するとともに、通信相手から送られてくる画像データを受信してモニタ15に表示する

ことができる。

【0039】 [クロックの説明] 次に、画像取り込みコントローラ1、信号処理プロセッサ2、表示コントローラ3及びメモリコントローラ4のそれぞれに供給されるクロックについて説明する。

【0040】 クロック発生器(CG)19, 20, 21, 22, 23は、CPU5により設定される周波数のクロック信号を生成する可変クロック発生器である。クロック発生器(CG(C))19は、SG11及び画像取り込みコントローラ1の画像取り込み部(間引き回路1a、 FIFO1b)の動作クロックを生成する。クロック発生器(CG(D))20は、DSP2cの動作クロックを生成する。クロック発生器(CG(B))21は、各コントローラのバスインターフェース部の動作クロックを生成する。クロック発生器(CG(L))22は、表示コントローラ3のFIFO3b、補間回路3c、NTSCエンコーダ3d及びD/A変換器14の動作クロックを生成する。クロック発生器23(CG(M))は、メモリコントローラ4のFIFO4b、SDRAM・IF4cおよびSDRAM13の動作クロックを生成する。

【0041】 またクロック発生器21から出力されるバスクロックは、各コントローラのバスインターフェース回路に供給されるが、各コントローラ毎にクロック供給を停止できるようにクロックゲート回路(G)24, 25, 26, 27を備えている。これらのクロックゲート回路(G)は、図示しない制御信号によりCPU5によって制御される。

【0042】 [電源情報に対応する各コントローラの設定に関する説明] 次に、各コントローラに供給される電源電圧について説明する。

【0043】 レギュレータ28, 29, 30, 31, 32は各々CPU5によって設定される電圧を発生する可変電圧レギュレータであり、レギュレータ(REG(C))28は画像取り込みコントローラ1に、レギュレータ(REG(S))29は信号処理プロセッサ2に、レギュレータ(REG(D))30は表示コントローラ3に、レギュレータ(REG(M))31はメモリコントローラ4に、そしてレギュレータ(REG(CPU))32はCPU5にそれぞれ電源電圧を供給する。またこれらレギュレータ28～32には電池33が共通に接続されている。

【0044】 次に、電源電圧の状態に応じて間引き回路1a、補間回路3c、クロック発生器19～23、レギュレータ28～32の設定をどのように調整するかを説明して、この装置全体の動作を説明する。

【0045】 電圧検知回路34は、電池33の出力電圧を検知することによって、電池33の残容量をCPU5に通知するとともに、ACアダプタ35が接続されているか否かを示す情報をCPU5に通知する。これらの電池残容量及びACアダプタ35が接続されているか否かの情報を電源情報と呼ぶ。CPU5に接続されたROM

36には制御プログラムとともに、個々の電源情報に対応する間引き回路1a、補間回路3c、クロック発生器19～23、レギュレータ28～32の工場出荷時の設定値が記憶されている。一方、ユーザが対応を変更した場合は、この変更したことを示すフラグと共に、その変更を加えた部分の対応がRAM37に記憶される。

【0046】 図3は、電源状態に対応した各種設定事項を説明する図である。

【0047】 電源状態としてはAC(ACアダプタ接続)、電池FULL(電池がフル充電)、電池7/8から1/8(電池残量7/8-1/8に相当)、電池almost0(ほとんど電池残量無し)の10段階の状態をとる。ACアダプタ35が接続されている場合は、間引き方式はフル解像度、フルフレーム、即ち、間引き無しであり、補間方式もフル解像度となる。また、各コントローラに供給されるクロックの周波数は最大周波数に設定され、電源電圧も最高電圧の3.3Vに設定される。但し、本実施の形態1では、表示コントローラ3のフレームレートは、NTSC出力のため常にフルフレームである。

【0048】 ACアダプタ35が接続されていない場合で、電池33がフル充電(FULL)と残容量7/8の間の場合には、間引き回路1aの間引き方式のみがフレームレートを1/2に設定し、その他の設定は前述のACアダプタ33が接続された場合と同じである。また電池残容量が6/8と5/8の間の場合は、解像度を縦横各々1/2(画面サイズ1/4)に、フレームレートを1/2に設定するとともに、動作クロックを1/2の周波数に設定し、かつ電圧を3.1Vに設定する。また電池残容量が4/8の場合は、更にフレームレートを1/4まで下げ、その他の設定を電池残容量が6/8と5/8の間の場合と同じにする。また電池残容量が3/8まで低下すると、フレームレートを1/4のままで解像度を縦横各々1/4(画面サイズ1/16)に設定するとともに、動作クロックを1/4の周波数に設定し、電圧を2.9Vに設定する。次に電池残容量が2/8の場合は、更にフレームレートを1/8まで下げる。そして電池残容量が1/8まで低下すると、フレームレートを1/16まで下げ、解像度を縦横各々1/8(画面サイズ1/64)に設定するとともに、動作クロックを1/8の周波数に設定し、電圧を2.7Vに設定する。最後に電池の残容量がほぼ0になると、解像度を縦横各々1/16(画面サイズ1/256)とし、フレームレートは静止画取り込みとする。また、クロックは1/16まで落して、電圧を2.5Vまで低下させる。

【0049】 図4は、本発明の実施の形態1に係るCPU5の制御動作を示すフローチャートで、この処理を実行するプログラムはROM36に記憶されている。

【0050】 まずステップS1で、電圧検知回路34により電源の状態を検知し、ステップS2では、その電源電力が電池33から、或はACアダプタ35のいずれか

ら供給されているかを判断する。ACアダプタ35により供給されている場合はステップS3に進み、図3に示すように、間引き方式、補間方式とともにフル解像度、フルフレームとし、クロックも1/1に、電圧値は最大の3.3Vに設定する。

【0051】一方、電池33を使用している場合はステップS4に進み、その電池33の出力電圧をもとに、その電池33の電池残量を調べる。そしてステップS5に進み、その電池残量に応じて、図3に示すような間引き方式、補間方式、クロック設定、及び電圧設定を行う。

【0052】以上説明した本実施の形態1においては、簡単のためクロックの周波数、及び電源電圧を各処理モジュール（コントローラ）に対して一律に変化させたが、本実施の形態に係る構成を用いれば、クロックの周波数及び電源電圧を各モジュール毎にそれぞれ異なった設定にすることも容易に実現可能である。また、例えばフレームレートを1/16に設定した場合は、1フレーム取り込んだ後、次の15フレーム取り込む間は、画像取り込みコントローラ1のバスインターフェース回路1cおよび信号処理プロセッサ2は動作する必要がないので、クロックゲート回路24、25及びクロック発生器20をオフ状態に設定することが可能となり、いっそうの省電力効果を得ることができる。

【0053】また本実施の形態1に示したような間引き方式、補間方式、クロック周波数及び電源電圧の設定によれば、装置がAC電源で動作している場合は、電池残量を意識する必要はないため、フルフレームのフル解像度に設定して動作することができる。

【0054】また電池よりの電力供給で動作している場合は、電池の残量が0に近づくに従って電池による駆動時間を確保するためにフレームレートを低下させ、また解像度も低くするように設定している。つまり、電池残量の低下に伴って、撮像或は表示される画質は低下するものの、より長い電池駆動時間が得られることになる。

【0055】特に画像の解像度を低下させると、単位時間当たりの転送データ量が減少するので、動作クロックの周波数を下げることができる。これは電源電圧を下げられることを意味しており、合わせて最大の省電力効果が得られる。

【0056】一方、常に最高画質の画像を得たいユーザは、電池残量に拘わらず常にフルフレーム、かつフル解像度に設定すればよい。或は、通常は最高画質で利用し、電池残量が極めて少なくなったときは急激な電池切れを防ぐために、解像度やフレームレートを低下させるといったような設定も容易に行うことができる。

【0057】また本実施の形態1に係る他の態様として、SDRAM13の容量が増設可能な構成になっているような場合には、そのSDRAM13の容量に応じて、処理する画像の解像度を制限するような方法も可能である。即ち、SDRAM13として最小構成のメモリ

が実装されており、これが例えばフル解像度の1/16の画像しか格納することができない容量に相当している場合は、間引き方式、補間方式の最大解像度の設定を縦・横1/4に制限する。そしてSDRAM13を増設してフル解像度の画像が格納できるメモリ容量が確保できた場合は、このような解像度設定の制限を行わない。このようにすることにより、画像データを記憶するメモリ容量に応じて柔軟に、その画像データの解像度を設定できる。

【0058】【実施の形態2】次に、本発明の実施の形態2について説明する。

【0059】図5は、本発明の実施の形態2に係る電池駆動型の撮影装置の基本構成を示すブロック図である。

【0060】図において、レンズ、CCD等のイメージセンサ及びA/D変換器等を備える撮影部101からのデジタル画像データは、輝度信号と色差信号に分解されたフォーマットで、ピクセルクロックに同期してラスタスキャン順に間引き部102に入力される。この際、撮影部101は、フレームレート設定部108から入力されるフレームレートに従って、何枚（何フレーム）ごとに画像データを取り込むかを決定するフレームレートを変化させる。例えば、フレームレートが“1/2”的場合は、1フレームの画像データを取り込んだら、次の1フレームの画像データを取り込まないようにして1つおきにフレームデータを取り込む。またフレームレートが“1/3”的場合は、1フレームの画像データを取り込んだら、次の2フレームの画像データを取り込まないように動作する。ここでフレームレートは、例えば4ビットの信号で表現され、0 (=0000b : bは2進データを示す) はフレームレート0、即ち、画像データの取り込みが停止状態を示し、1 (=0001b) はフレームレート1 “1/1”（全フレームの取り込み）、2 (=0010b) はフレームレートが“1/2”などというように、各フレームレートを4ビットで表現することができる。

【0061】間引き部102は、間引き・補間率設定部107から入力される間引き率に応じて、何ピクセル（画素）ごと、及び何ラインごとにデータを取り込むかを決定して、撮影部101から入力される画像データの間引きを行っている。例えば、間引き率が“1/2”的時は、1ピクセルの画像データを取り込んだら次のピクセルのデータを取り込まないように動作し、また、1ラインの画像データを取り込んだら、次の1ラインの画像データを取り込まないように動作する。また間引き率が“1/3”的時は、1ピクセルの画像データ取り込んだら次の連続する2つのピクセルのデータを取り込みず、1ラインの画像データを取り込んだら、次の連続する2ラインの画像データを取り込まないように動作する。

【0062】また、この間引き・補間率設定部107により設定される間引き率は、カラー画像データの場合に

おいて、輝度信号と色差信号のそれぞれに対して独立に設定することができるものとする。例えば、輝度信号に対する間引き率を“1/2”とし、色差信号に対しては“1/4”というように設定することが可能である。いま、元の画像データが「4:4:4」である場合、このように設定すると、その出力は「2:1:1」相当の画像データとなる。更に、色差信号の間引き率を“0”（1/無限大）と設定すると、色差信号を取り込まずに輝度信号のみを取り込みことになる。即ち、モノクロ画像を取り込むことになる。

【0063】また、このフレームレートと同様に、間引き・補間率も、例えば4ビットのデータで表現される。0（=0000b）は間引き率が無限大（補間率0）、即ち、取り込みを行わない状態を示し、1（=0001b）は間引き率・補間率が“1/1”、即ち、間引き、補間なしを示し、2（=0010b）は間引き率が“1/2”（補間率は2倍）などというように、間引き率、補間率のそれぞれを表現することができる。こうして間引き部102は、その間引いた画像データをメモリ部103に書き込む。このメモリ部103は、例えばDRAM, SRAMなどで構成され、少なくとも1フレーム分の画像データを格納できるメモリ容量を備えている。

【0064】画像処理部106は、メモリ部103に格納された画像データの処理、例えば表示データの色補正等を行う他、画像データの圧縮処理などを行う。この画像処理部106で画像処理が行われた画像データは、外部装置に転送されるか、又はメモリ部103に書き戻される。

【0065】例えば、デジタル・スチルカメラの場合では、圧縮した画像データをフラッシュメモリなどの外部記憶に転送する。また携帯型テレビ電話端末の場合は、圧縮した画像データを、電話回線に伝送するとともに、回線を通して受信した圧縮データを伸長してメモリ部103の表示データの記憶領域の一部にオーバーレイ表示が可能なように格納する。

【0066】補間部104は、メモリ部103に格納されている画像データを読み出す。この画像データは、間引き部102によって間引かれた画像データ（携帯型テレビ電話端末の場合は、受信して伸長した画像データも含む）である。この画像データを表示するために、補間部104は間引き・補間率設定部107により入力されている補間率（間引き部102へ入力されている間引き率と同じ値）に基づいて補間動作を行う。即ち、補間率は2倍（間引き率1/2）の場合、1ピクセル分の画像データを読み込んだらこれをラッチし、次のピクセルの画像データとして同じ画像データを出力する。これを繰り返して1ライン分の画像データをラインメモリに保持し、次のラインのデータは、そのラインメモリに記憶されている前のラインデータと同じ画像データを読み出す。

【0067】尚、輝度信号と色差信号で間引き率が異なる場合や、モノクロ画像の場合も同様の動作を行う。このようにして生成した画像データをピクセルクロックに同期して表示部105に伝送して表示する。

【0068】表示部105は、例えばNTSCエンコーダとD/Aコンバータ、及びNTSC液晶ディスプレ等を備える。補間部104から入力された輝度データと色データをNTSCエンコーディングし、D/A変換した後、NTSC液晶ディスプレ等の表示部105に表示する。

【0069】一方、電池残量検出部109は、電池112の出力電圧を監視することにより、その電池112の残量を算出する。また、電源としてACアダプタが使用されて駆動されているかどうかを判定する。そして、この検知された電源の状態を、例えば“15”から“0”までの16段階（4ビット）のデジタル信号として間引き・補間率対応部110及びフレームレート対応部111に出力する。ここで“15（=1111b）”は、AC電源による駆動（ACアダプタ使用）を示し、“14（=1110b）”は、電池112がフル充電の状態を示し、“7（=0111b）”は電池112の残量が約50%の状態を示し、“1（=0001b）”は電池112の残量がほぼ空の状態を示し、“0（=0000b）”は電池112が完全に空の状態を示す。

【0070】間引き・補間率対応部110において、これら16段階で表現される電源状態と輝度、色各4ビット（計8ビット）の間引き・補間率とを対応付けるために、例えば、図6（A）に示すように、アドレス16×8ビットの2ポートSRAMなどで構成する。

【0071】ここで4ビットの書き込みアドレス（WR ADDR）と8ビットの書き込みデータ（WR DATA）は図示しないホストCPUに接続され、ユーザの所望の設定によりデータの書き込みが行われる。またこのSRAM110の4ビットアドレスは、電池残容量検出部109から出力される上述した電源状態を示す4ビット信号に対応している。また、書き込みデータ8ビットのうち、上位4ビット（DATA[7:4]）は輝度の間引き・補間率を示し、下位4ビット（DATA[3:0]）は、色の間引き・補間率を示す。ここで4ビットの（RD ADDR）には、電池残量検出部109からの電源状態を示す4ビットの信号が接続され、8ビットの読み出しデータ（RDDATA）は、間引き・補間率設定部107に接続される。

【0072】図6（B）は、この2ポートRAM110に記憶されるデータの一例を示す図である。

【0073】ここでは、RAM110のアドレス“0”（電池112が完全に空に相当）にはデータ“00h”（hは16進データを示す）が、アドレス“1”（電池112の残量がほぼ空）にはデータ“80h”が、アドレス“7”（電池112の残量が約50%）にはデータ“24h”が、アドレス“14”（電池112がフル充

電) にはデータ“12h”が、アドレス“15”(ACアダプタ使用) にはデータ“11h”がそれぞれ格納されている。これは以下の情報に対応する。

【0074】即ち、AC電源(ACアダプタ)による駆動時(15)は、輝度信号、色差信号とも間引き・補間なし(1/1)で動作する。AC電源OFF(ACアダプタ使用せず)だが、電池112がフル充電の時(14)は、輝度信号は間引きなし(1/1)、色差信号は1/2間引き(2倍補間)、つまり「4:2:2」で動作する。電池残量50%(7)では、輝度信号1/2間引き(2倍補間)、色差信号1/4間引き(4倍補間)で動作する。また電池112の残量がほぼ空になると

(1)、輝度信号のみを1/8間引き(8倍補間)し色差信号を取り込まない(モノクロ)で動作する。そして、電池112が完全に空になると(0)、輝度信号、色差信号ともに取り込みを停止する。

【0075】同様に、フレームレート対応部111は、16段階に表現される電源状態と4ビットのフレームレート率を対応付けるために、例えば、図7(A)に示すようにアドレス16×4ビットの2ポートSRAMなどを備えている。

【0076】ここで4ビットの書き込みアドレス(WR A DDR)と書き込みデータ(WR DATA)は、図示しないホストCPUに接続され、ユーザの所望の設定によりデータの書き込みが行われる。4ビットのアドレスは、電池残容量検出部109において用いられている4ビットの電源状態に対応する。また、4ビット(DATA[3:0])はフレームレート率を示す。また4ビットの読み出しアドレス(RD ADDR)には、電池残量検出部109からの電源状態を示す4ビットの信号が接続され、このアドレスから読み出されたデータ(RD DATA)は、フレームレート設定部108に出力される。

【0077】図7(B)は、このSRAM111のデータの一例を示したもので、アドレス“0”(電池112が完全に空)にはデータ“0”(データ取り込みます)が、アドレス“1”(電池112の残量がほぼ空)にはデータ“15”が、アドレス“7”(電池112の残量がほぼ50%)にはデータ“4”が、アドレス“14”(電池112がフル充電)にはデータ“2”が、アドレス“15”(ACアダプタ使用)にはデータ“1”がそれぞれ格納されている。これは以下の情報に対応する。

【0078】即ち、AC電源(ACアダプタ)による駆動時(15)は、フレーム間引きなし(フレームレート=1)で動作する。ACアダプタ使用しないが電池112がフル充電の時(14)は、フレームレート1/2で動作する。また電池112の残量が50%(7)では、フレームレート1/4で動作する。そして電池112の残量がほぼ空になると(1)、フレームレート1/15で動作し、電池112が空になると(0)フレームデータの取り込みを停止する。

【0079】本実施の形態2に示したような間引き・補間率対応部110及びフレームレート対応部111における設定によれば、装置がACアダプタからの電力で動作している場合は、電池112の残量を意識する必要は全くないため、フルフレームで、かつ「4:4:4」のフル解像度に設定する。また、電池112よりの電力で動作している場合は、電池112の残量が空に近づくに従って電池112の駆動時間を確保するためにフレームレートを下げていき、また解像度も低くなるように設定している。つまり、電池112の残量低下に伴って再生、或は撮像する画像の画質は低下するものの、より長い電池駆動時間が得られるようにしている。

【0080】一方、常に最高画質を得たいユーザは、間引き・補間率対応部110及びフレームレート対応部111における設定を、電池112の残量に関わらず常にフルフレーム、かつフル解像度に設定すればよい。或は、通常は最高画質で利用し、電池112の残量が極めて少なくなったときは、急激な電池切れを防ぐために、非常に小さな解像度のモノクロ画像に切り替えるといったような設定も行うことができる。

【0081】また本実施の形態2の他の態様として、メモリ部103の容量が増設可能な構成になっているような場合には、そのメモリ部103のメモリ容量に応じて解像度を制限するような利用方法も可能である。即ち、最小構成のメモリが実装されており、これが例えばフル解像度の“1/16”的画像データを格納できるだけの容量である場合は、間引き・補間率対応部110の設定を最大“4”(間引き率1/4)に制限する。またメモリ部103のメモリを増設してフル解像度の画像データを格納できる容量が確保できた場合は、間引き・補間率対応部110の設定の制限を行わない。こうすることにより、メモリ部103のメモリ容量に応じて柔軟に処理する画像データの解像度を設定できることになる。

【0082】なお本発明は、複数の機器(例えばホストコンピュータ、インターフェース機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0083】また本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体(または記録媒体)を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読み出し実行することによっても達成される。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラム

コードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0084】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

【0085】以上に述べたように本実施の形態によれば、ユーザの利用形態に応じた柔軟な消費電力及び再生画像の画質制御を行うことができる。

【0086】

【発明の効果】以上説明したように本発明によれば、ユーザの操作負担をなくしながら、ユーザの利用形態にもっとも適した省電力動作を実現できる。

【0087】また本発明によれば、装置に電力を供給している電源の状態に応じて、装置における画像データを処理するフレームレートや解像度を制御して、装置の動

作を制御できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る携帯型のテレビ電話端末装置の構成を示すブロック図である。

【図2】本実施の形態1の間引き回路の動作の一例を示すタイミングチャート(A)及びラッチクロック(Latch Clock)の生成回路を示す図(B)である。

【図3】本実施の形態1に係る電源状態と間引き方式、補間方式、クロック設定及び電圧設定を説明する図である。

【図4】本発明の実施の形態1に係る携帯型のテレビ電話端末装置のCPUによる電源状態に応じた制御処理を示すフローチャートである。

【図5】本発明の実施の形態2に係る電池駆動型の撮影装置の構成を示すブロック図である。

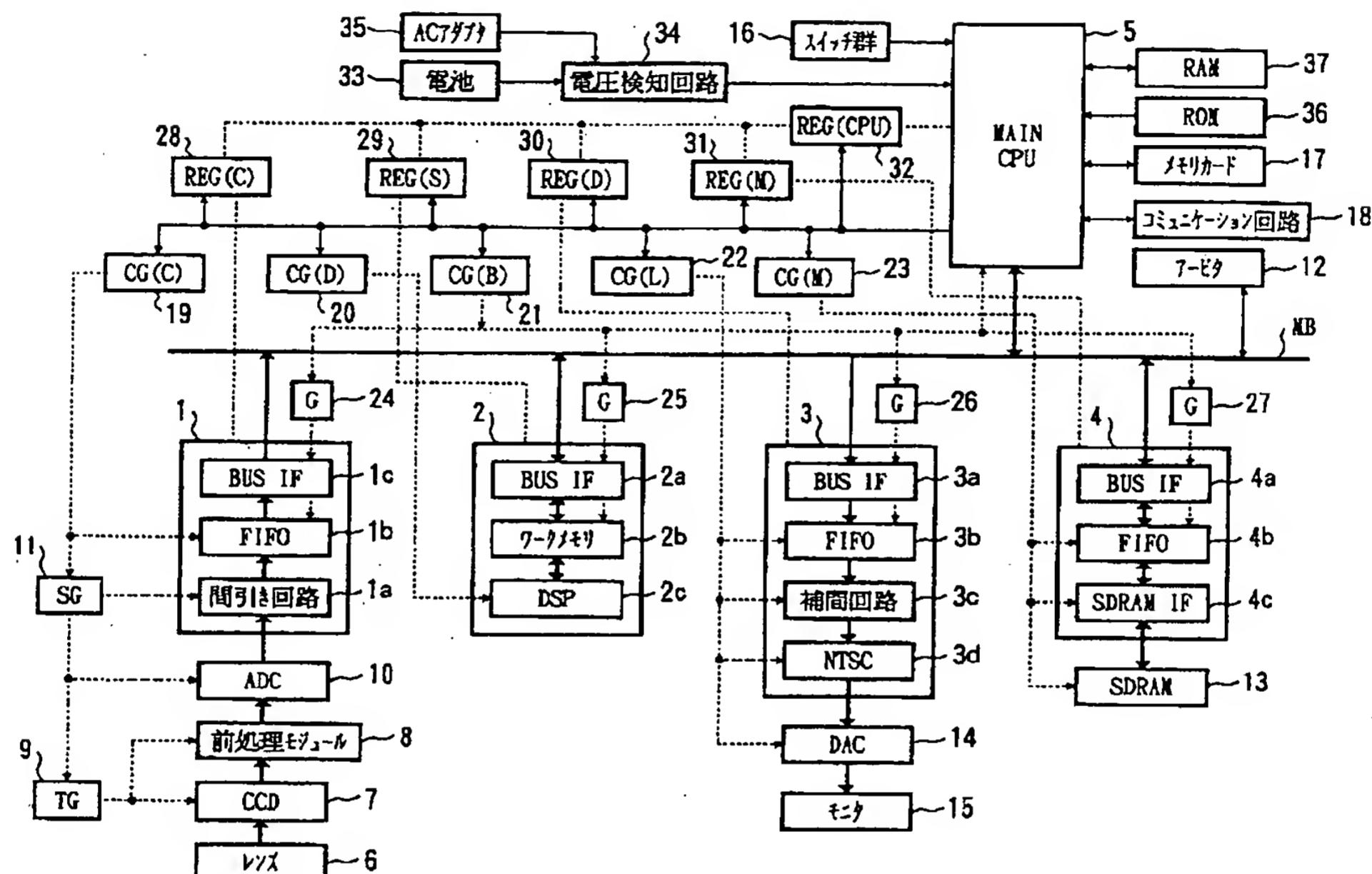
【図6】実施の形態2に係る間引き・補間率対応部の構成例(A)と、設定されたデータ例(B)を示す図である。

【図7】実施の形態2に係るフレームレート対応部の構成例(A)と、設定されたデータ例(B)を示す図である。

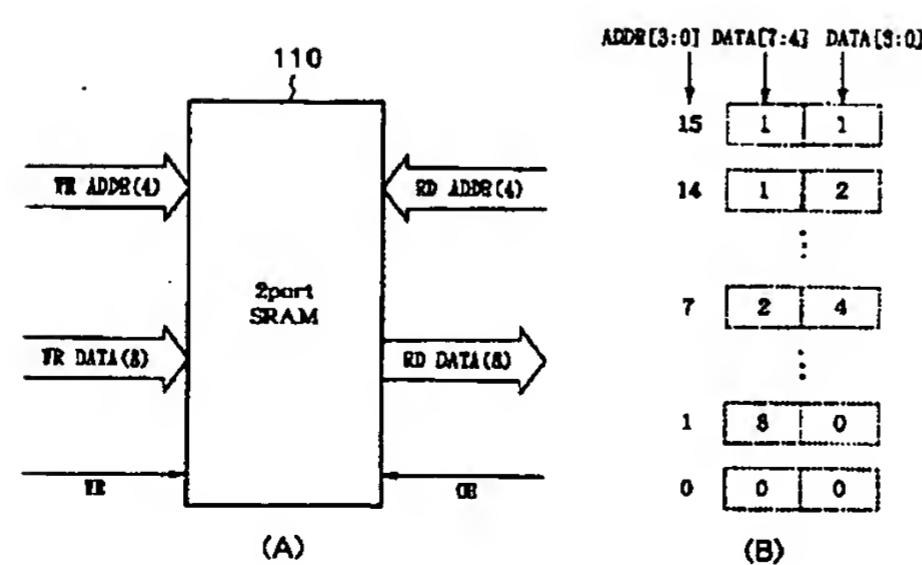
【図3】

電源状態	間引き方式	補間方式	クロック設定	電圧設定
AC	フル解像・フルフレーム	フル解像	1/1 Clock	3.3V
電池 FULL	フル解像・1/2フレーム	フル解像	1/1 Clock	3.3V
電池 7/8	フル解像・1/2フレーム	フル解像	1/1 Clock	3.3V
電池 6/8	1/2解像・1/2フレーム	1/2解像	1/2 Clock	3.1V
電池 5/8	1/2解像・1/2フレーム	1/2解像	1/2 Clock	3.1V
電池 4/8	1/2解像・1/4フレーム	1/2解像	1/2 Clock	3.1V
電池 3/8	1/4解像・1/4フレーム	1/4解像	1/4 Clock	2.9V
電池 2/8	1/4解像・1/8フレーム	1/4解像	1/4 Clock	2.9V
電池 1/8	1/8解像・1/16フレーム	1/8解像	1/8 Clock	2.7V
電池 almost 0	1/16解像・停止(静止画)	1/16解像	1/16 Clock	2.5V

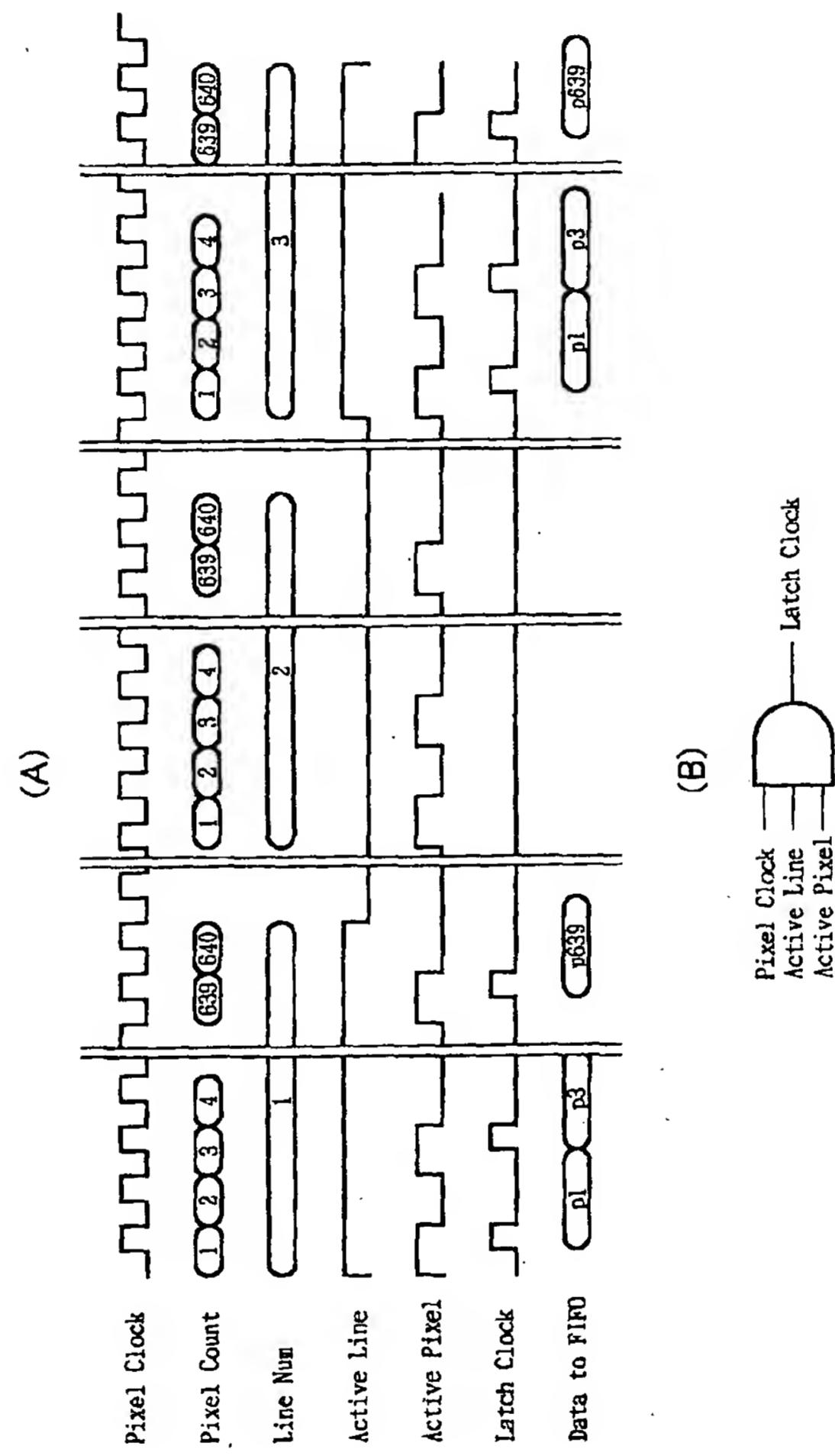
【図1】



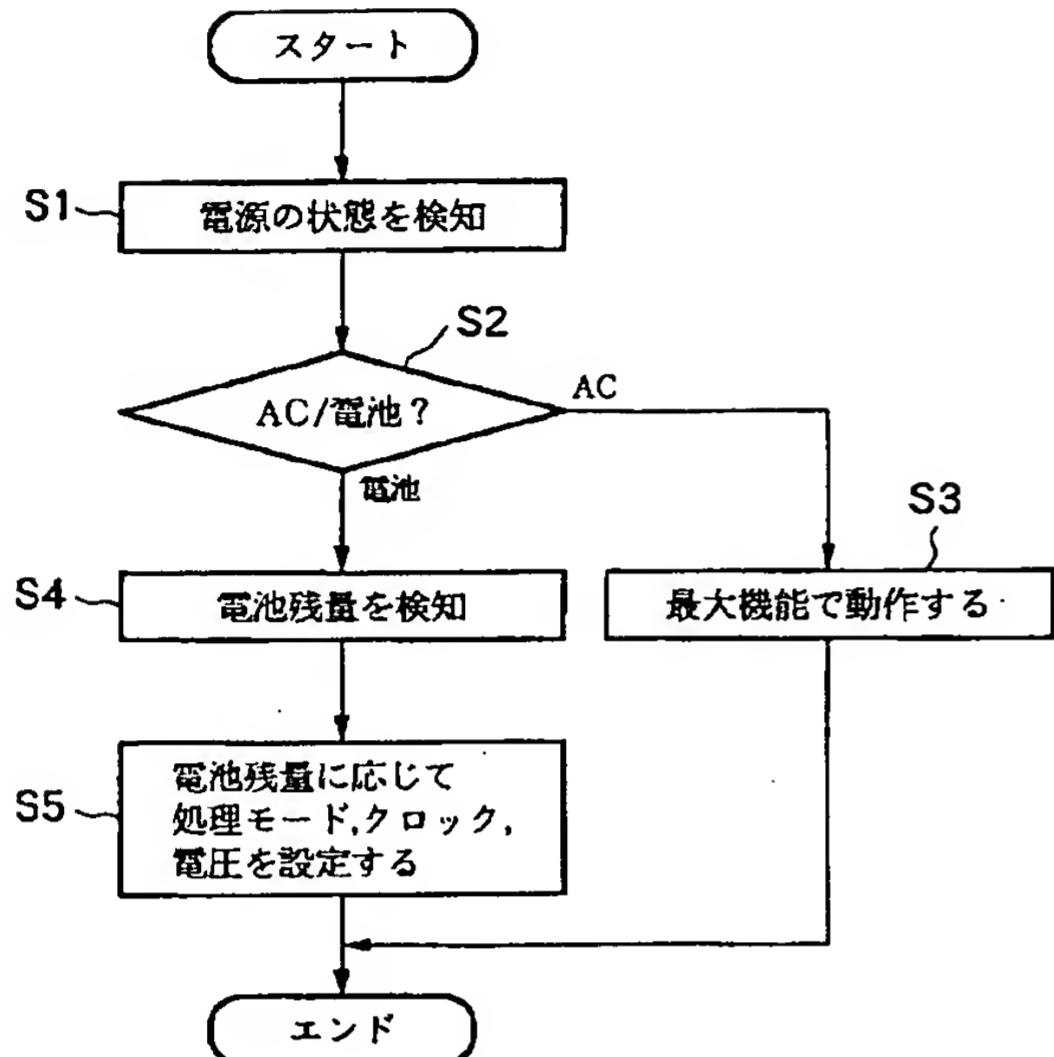
【図6】



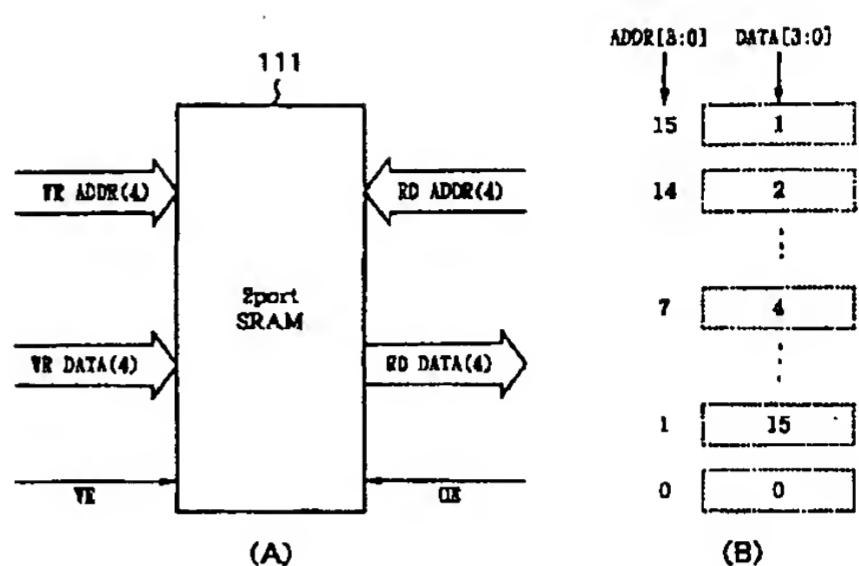
【図2】



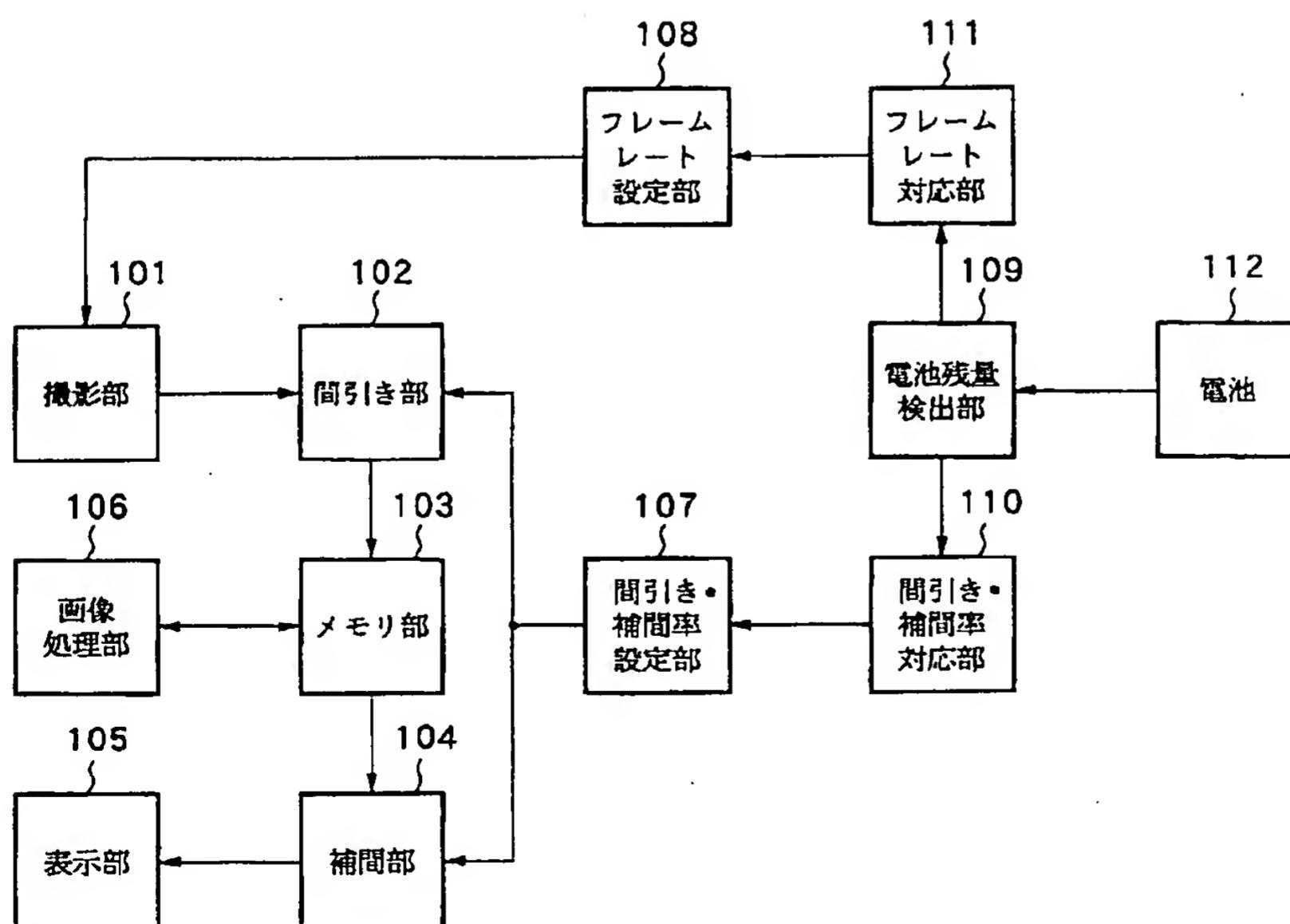
【図4】



【図7】



【図5】



## フロントページの続き

(51) Int.Cl.7	識別記号	F I	テーマコード(参考)
H 04 N	5/225	H 04 N	B 5K027
5/232		5/232	Z

F ターム(参考) 5C022 AA12 AA13 AB68 AC00 AC03  
AC69  
5C062 AA11 AA14 AB10 AB23 AB42  
AB43 AB47 AB49 AB50 AC05  
AC08 AC25 AC58 AC68 BA00  
5C064 AA01 AC12 AC22 AD01 AD02  
AD08 AD14  
5C073 AA05 AA06 AB04 BB02 BC04  
CB03 CE02  
5C076 AA21 AA22 BA03 BA04 BB04  
BB06 CA02 CB01  
5K027 AA11 BB17